

IFW

Patent

Customer No. 31561
Application No.: 10/707,866
Docket No. 12087-US-PA



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Cheng-Sheng Lee
Application No. : 10/707,866
Filed : January 20, 2004
For : DEVICE AND METHOD FOR BREAKING LEAKAGE
CURRENT PATH OF MEMORY DEVICE AND
STRUCTURE OF MEMORY DEVICE

Examiner :
Art Unit : 2818

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:
092129227, filed on: 2003/10/22.

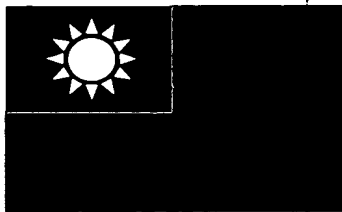
A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: May 17, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:
7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 10 月 22 日
Application Date

申請案號：092129227
Application No.

申請人：華邦電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 2 月 19 日
Issue Date

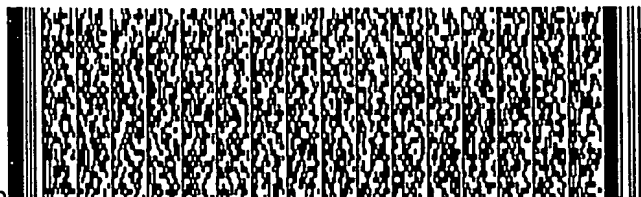
發文字號：09320158590
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	阻斷漏電流之裝置、方法及其記憶格與記憶體
	英 文	DEVICE AND METHOD FOR BREAKING LEAKAGE CURRENT PATH
二、 發明人 (共1人)	姓 名 (中文)	1. 李正昇
	姓 名 (英文)	1. LEE, CHENG SHEN
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 高雄市三民區大順二路375號14樓
	住居所 (英 文)	1. 14F., No. 375, Dashun 2nd Rd., Sanmin District, Kaohsiung City 807, Taiwan R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 華邦電子股份有限公司
	名稱或 姓 名 (英文)	1. Winbond Electronics Corp.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區研新三路四號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 4, Creation Road III, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 焦佑鈞
	代表人 (英文)	1. CHIAO, ARTHUR Y. C.



四、中文發明摘要 (發明名稱：阻斷漏電流之裝置、方法及其記憶格與記憶體)

一種阻斷漏電流之裝置，用於具有一第一位元線與一第二位元線之一記憶格中，該裝置包括一第一阻斷電路，以及一第二阻斷電路。當該記憶格為失效(fail)並處於一待機(stand-by)狀態時，第一阻斷電路會阻斷該第一位元線與該電源供應端之間，以及該第二位元線與該電源供應端之間之連接。而第二阻斷電路，會阻斷該第一位元線與該感應放大器之間，以及該第二位元線與該感應放大器之間之連接。透過本發明之阻斷漏電流之裝置，當記憶體陣列中某一記憶格為有缺陷之記憶格時，可以藉由第一阻斷電路與第二阻斷電路，使得電源供應端之電流無法輸入到該記憶格中，達成阻斷漏電流之目的。

伍、(一)、本案代表圖為：第____8____圖

(二)、本案代表圖之元件代表符號簡單說明：

800：記憶體裝置

六、英文發明摘要 (發明名稱：DEVICE AND METHOD FOR BREAKING LEAKAGE CURRENT PATH)

A device and method for cutting the leakage current caused by a defect in a memory cell of a memory array are provided. The device includes a first current cuter and a second current cuter. When at least one memory cell is fail, the first current cuter can turn off the current between the bit line and the power source and the current between the bit lint bar and the power source.

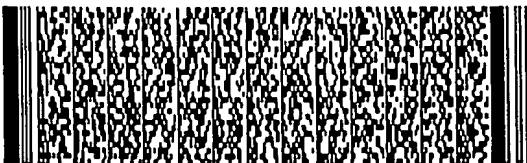


四、中文發明摘要 (發明名稱：阻斷漏電流之裝置、方法及其記憶格與記憶體)

802 : 記憶體陣列
804 : 記憶格
806 : 電源供應端
808 : 感應放大器
812、814 : 阻斷電路

六、英文發明摘要 (發明名稱：DEVICE AND METHOD FOR BREAKING LEAKAGE CURRENT PATH)

Moreover, the second current cutter can turn off the current between the bit line and the sense amplifier and the current between the bit lint bar and the sense amplifier. Accordingly, the leakage current from the power source to the failed memory cell can be eliminated.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

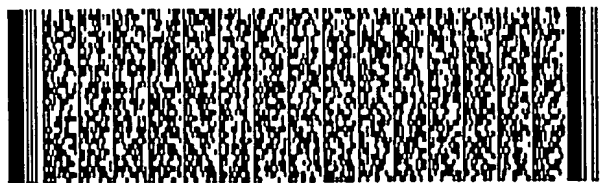
發明所屬之技術領域

本發明是有關於一種記憶格與記憶體之電路裝置與方法，且特別是有關於一種阻斷記憶格與記憶體中之漏電流之電路裝置與方法。

先前技術

傳統上，一半導體記憶體(memory)裝置，基本上可粗分為非揮發性(non-volatile)記憶體，以及揮發性(volatile)的隨機存取記憶體(random access memory, "RAM")兩種。其中非揮發性記憶體在電源中斷後仍可保存原有儲存之資料，而揮發性記憶體則是其中所儲存的資料會隨電源的中斷而消失，如靜態隨機存取記憶體(static random access memory, "SRAM")，以及動態隨機存取記憶體(dynamic random access memory, "DRAM")等。

對於揮發性記憶體而言，其中靜態隨機存取記憶體(SRAM)與動態隨機存取記憶體(DRAM)之差異是，由於SRAM主要的儲存單位為電晶體，所以其速度較快，約為DRAM的5倍，但是其成本與體積，卻比DRAM高上許多。因此，由於價格與體積上的考量，DRAM成為目前最廣泛使用的記憶體。DRAM是利用電容來儲存資料，由於電容具有放電特性，存在電容之中的電荷會逐漸消失，屬於揮發性記憶體，故需要額外的週期性更新(refresh)動作。一但停止供電，裡面儲存的資料就會消失，即使正常供電，內部資料也會因為自然的放電而自動流失，所以必須定時進行更新的動作。



五、發明說明 (2)

基本上，DRAM的基本單位都是由一個電晶體和一個電容器組成。請參照第1圖，圖中為DRAM之一個基本單位的結構示意圖，其中電容器為儲存有電荷或是沒有電荷的狀態，決定該DRAM的邏輯狀態是1還是0。當DRAM中之記憶格，因為密度越來越高，面積越來越小，因此越來越無法避免製程上的缺陷(defect)或錯誤所造成之短路

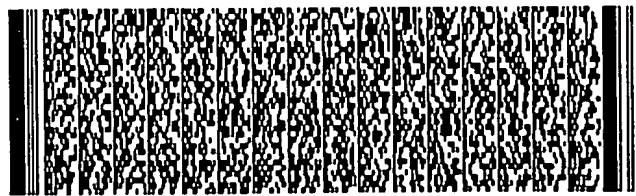
(short)。請參照第1圖，例如說，一傳統DRAM記憶體陣列，具有記憶格102、104以及一感應放大器106。其中記憶格102之位元線BLL與字元線WLL在A點上因為製程缺陷造成了短路。如此會產生一漏電流F，亦即一電流由電壓供應端VBLEQ經由位元線BLL由記憶格102中之電容之接地端流出。此漏電流，在記憶體待機(stand by)時，會消耗不少電源，待機時間越長，所消耗的電源也越多。

一般來講，因為DRAM為了要保有一定程度的高度訊號雜音比(signal to noise ratio, S/N ratio)，所以無法以減少電容值來減少漏電量。通常此漏電流，對每一短路點約為300mA。因此，目前習知上，便出現一改良方法。

第2圖係繪示一改良之傳統DRAM記憶格之電路結構。如第2圖所示，在記憶格102之位元線預充電器(BL precharger)上加入一限流裝置(current-limit device)，例如說具有較低起始電壓(threshold voltage)之一空乏型

(depletion)NMOS電晶體212以減少漏電流。藉由此限流裝置，此漏電流可以被降低到每一短路點約為15mA。

然而，上述限流裝置之缺點是，即使DRAM記憶體陣列



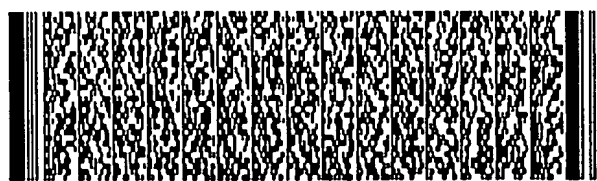
五、發明說明 (3)

中有缺陷之記憶格，以預留(redundancy)的良好記憶格取代，此漏電流依然會存在，並且會延長記憶格預充電(precharge)之時間。而且更嚴重的是，此漏電流之總量，與DRAM記憶體陣列中之有缺陷記憶格之數目成正比。對於今日所有電子裝置之耗電量，均趨向於減少之需求下，例如說，對可隨身攜帶式(portable)之電子產品（例如筆記型電腦）等，此漏電流會相當程度地減少電池之使用時間，降低記憶體之速度，並會提高電子裝置之溫度。因此，一種可以阻斷漏電流之方法及其記憶格與記憶體是必須的。

發明內容

因此本發明的目的就是提供一種可以阻斷漏電流之裝置、方法及其記憶格與記憶體，以解決傳統DRAM記憶體中，由漏電流所造成之電源消耗以及溫度升高等問題。

為了達成本發明之一目的，本發明提出一種阻斷漏電流之裝置，用於具有一記憶格陣列之一記憶體裝置中，包括一記憶格陣列之一記憶格，具有一第一位元線與一第二位元線；一第一阻斷電路，連接於該記憶格之該第一位元線與一電源供應端之間，以及該第二位元線與該電源供應端之間，用以當該記憶格為連結錯誤(cross fail)並處於一待機狀態時，阻斷該第一位元線與該電源供應端之間，以及該第二位元線與該電源供應端之間之連接；以及一第二阻斷電路，連接於該第一位元線與該記憶格之一感應放大器之間，以及該第二位元線與該感應放大器之間，用以



五、發明說明 (4)

當該記憶格為連結錯誤(cross fail)並處於一待機狀態時，阻斷該第一位元線與該感應放大器之間，以及該第二位元線與該感應放大器之間之連接。

如上所述之阻斷漏電流之裝置，其中該記憶格之一字元線，可以連接到該第一阻斷電路，亦可以連接到該第二阻斷電路。

如上所述之阻斷漏電流之裝置，其中該第二阻斷電路可以包含於該第一阻斷電路之中。

為了為了達成本發明之另一目的，本發明提出一種記憶體裝置，包括：一記憶體陣列，具有複數個記憶格，其中該些記憶格，個別具有一第一位元線與一第二位元線；一電源供應端，用以提供電源至該些記憶格；一感應放大器；一第一阻斷電路，連接於該些記憶格之該些第一位元線與該電源供應端之間，以及該些第二位元線與該電源供應端之間，用以當該些記憶格至少其中之一為連結錯誤(cross fail)並處於一待機狀態時，阻斷該連結錯誤之該記憶格之該第一位元線與該電源供應端之間，以及該第二位元線與該電源供應端之間之連接；以及一第二阻斷電路，連接於該些記憶格之該些第一位元線與該感應放大器之間，以及該些第二位元線與該感應放大器之間，用以當該些記憶格至少其中之一為連結錯誤(cross fail)並處於一待機狀態時，阻斷該連結錯誤之該記憶格之該第一位元線與該感應放大器與之間，以及該第二位元線與該感應放大器之間之連接。



五、發明說明 (5)

如上所述之記憶體裝置，其中該些記憶格之字元線，個別連接到該第一阻斷電路，亦可個別連接到該第二阻斷電路。

如上所述之記憶體裝置，其中該第二阻斷電路可以包含於該第一阻斷電路之中。

如上所述之記憶體裝置，其中該記憶體陣列，包括一DRAM記憶體陣列。

綜上所述，透過本發明之阻斷漏電流之裝置，例如說，當記憶體陣列中某一記憶格為有缺陷之記憶格時，可以藉由第一阻斷電路與第二阻斷電路，使得電源供應端之電流無法輸入到該記憶格中，達成阻斷漏電流之目的。例如說，在該記憶體陣列為待機狀態時，將所有有缺陷之記憶格之電源輸入關閉，因此可以完全阻斷由有缺陷之記憶格所引起之漏電流，達成阻斷不必要的電源消耗之目的。

為了為了達成本發明之另一目的，本發明提出一種阻斷漏電流之方法，用於具有一記憶格陣列之一記憶體裝置中，該方法包括：當一記憶格陣列之一記憶格為連結錯誤(cross fail)並處於一待機狀態時，輸出一第一信號，以阻斷一第一位元線與一電源供應端之間，以及一第二位元線與該電源供應端之間之連接；以及輸出一第二信號，阻斷該第一位元線與一感應放大器之間，以及該第二位元線與該感應放大器之間之連接。

如上所述之阻斷漏電流之方法，其中該第一信號，可受到該記憶格之一字元線之一信號控制。其中該第二信



五、發明說明 (6)

號，亦可受到該記憶格之一字元線之一信號控制。

綜上所述，透過本發明之阻斷漏電流之方法，例如說，當記憶體陣列中某一記憶格為有缺陷之記憶格時，可以藉由第一信號與第二信號，使得電源供應端之電流無法輸入到該記憶格中，達成阻斷漏電流之目的。例如說，在該記憶體陣列為待機狀態時，將所有有缺陷之記憶格之電源輸入關閉，因此可以完全阻斷由有缺陷之記憶格所引起之漏電流，達成阻斷不必要的電源消耗之目的。

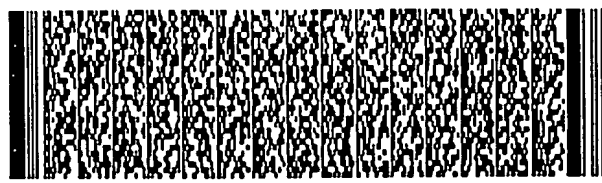
為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

以下將列舉實施例以說明本發明，該些實施例只是用於說明本發明，並非用以限制本發明之專利範圍，本發明亦不受限於只能使用於該些實施例中。

以下，以第2圖所繪示之記憶格102為例，說明如何以本發明之阻斷漏電流之裝置與方法阻斷其漏電流。第3圖到第5圖為電路示意圖，繪示阻斷漏電流之裝置，係依據本發明之實施例。其中第3圖到第5圖之電路，分別與第2圖之記憶格102之某一部份連接。以下，先舉例說明，當第2圖中之記憶格102，並無發生由短路(short)所引起之連結錯誤(cross fail)，亦即為正常晶粒(normal good die)時之情形。

對於第2圖中之記憶格102，會影響其漏電流的信號，



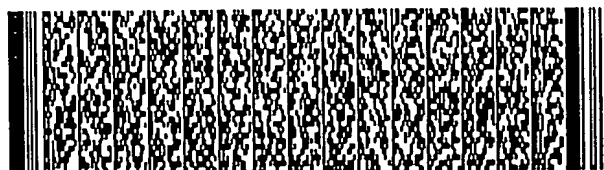
五、發明說明 (7)

例如說，最主要有信號EQLt、EQLb、MUXt、MUXb等。其中以信號EQLt與MUXt與記憶格102直接相關。以下，將討論如何透過控制該些訊號，以阻斷漏電流。

第6圖為一波形示意圖，繪示當第2圖中之記憶格102為正常晶粒時之信號之波形，係依據本發明之實施例。請參照第6圖，其中，/CE為一信號，當/CE處於低位態(low state)時，代表記憶格102是處於動作狀態，而高位態(high state)時則是處於待機(stand-by)狀態。REF為一參考信號，與字元線WLL之位態有關。

請參照第3圖，其中電路方塊302，包括一反向器(inverter)304、一反及閘(NAND gate)306與一反相器308。其中，參考信號REF經由反向器304反向後，與信號/CE經由反及閘306與反相器308之處理，最後得到如第6圖所示之信號C1REF。可以發現，信號C1REF與信號/CE之不同處，是當信號/CE處於待機狀態(為高位態)時而且參考信號REF為高位態時，得到一低位態之信號C1REF之輸出。

之後，請參照第4圖，其中電路方塊402，包括一反及閘404與一反相器406。其中，第6圖中之啟動信號FSBSEL為低位態時，是代表記憶格102為正常晶粒之情形，為高位態時，則是代表記憶格102是處於發生由短路所引起之連結錯誤之情形。啟動信號FSBSEL與上述之信號C1REF，經由反及閘306與反相器308之處理，最後得到信號EQBSEL。可以發現，當記憶格102為正常晶粒時，啟動信



五、發明說明 (8)

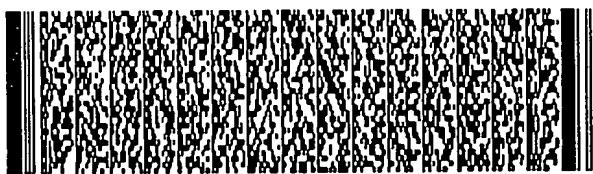
號FSBSEL為低位態，則信號EQBSEL，無論是在待機狀態（信號/CE為高位態），或是在動作狀態（信號/CE為低位態）時，皆是處於低位態。

之後，請參照第5圖，其中電路方塊502，包括一反或閘(NOR gate)504、一反相器506與另一一反相器508。其中，第6圖中之信號BSEL，與上述之信號EQBSEL，經由一反或閘504、反相器506與508之處理，最後得到信號EQL。在第2圖中，對於左側之記憶格102，信號EQL即為信號EQLt。因為，當記憶格102為正常晶粒時，信號EQBSEL，無論是在待機狀態（信號/CE為高位態），或是在動作狀態（信號/CE為低位態）時，皆是處於低位態。因此，請參照第6圖，當記憶格102為正常晶粒時，信號EQLt必定為信號BSEL之反相。而信號EQLb是處於一高位態。其結果是，得到位元線BL為半位元線高電位(half bit-line high voltage)VBLEQ。

綜上所述，在本發明之實施例中，若使用本發明之阻斷漏電流之裝置與方法於習知之記憶格102中，當記憶格102為正常晶粒時，可以得到與習知中相同之結果。

以下，將舉例說明，當第2圖中之記憶格102，發生由短路(short)所引起之連結錯誤(cross fail)時之情形。

第7圖為一波形示意圖，繪示當第2圖中之記憶格102為連結錯誤時之信號之波形，係依據本發明之實施例。請參照第7圖，其中，與記憶格102為正常晶粒時相同的是，當信號/CE處於低位態時，是代表記憶格102是處於動作狀



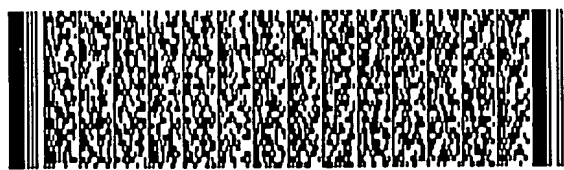
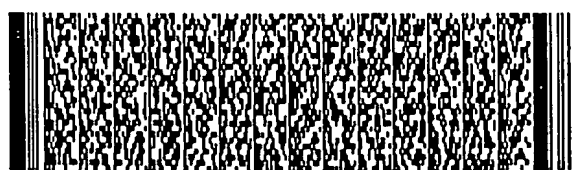
五、發明說明 (9)

態，為高位態時則是代表記憶格102是處於待機狀態。參考信號REF亦為與字元線WLL之位態有關之一信號。

此時，請參照第3圖，參考信號REF經由反向器304反向後，與信號/CE經由反及閘306與反相器308之處理，最後得到如第7圖所示之信號C1REF。同樣地，信號C1REF與信號/CE之不同處，是當信號/CE處於待機狀態（為高位態）時而且參考信號REF為高位態時，得到一低位態之信號C1REF之輸出。

之後，請參照第4圖。其中，第7圖中之啟動信號FSBSEL為高位態時，是代表記憶格102是處於連結錯誤之情形。啟動信號FSBSEL與上述之信號C1REF，經由反及閘306與反相器308之處理，最後得到信號EQBSEL。可以發現，當記憶格102為連結錯誤時，啟動信號FSBSEL為高位態，則信號EQBSEL，會與上述之信號C1REF之位態相同。亦即，當信號C1REF是處於高位態時，所輸出之信號EQBSEL亦是處於高位態，當信號C1REF是處於低位態時，所輸出之信號EQBSEL亦是處於低位態。

之後，請參照第5圖，第6圖中之信號BSEL，與上述之信號EQBSEL，經由反或閘504、反相器506與508之處理，最後得到信號EQL。在第2圖中，對於左側之記憶格102，信號EQL即為信號EQLt。因為，當記憶格102為連結錯誤時，信號EQBSEL與信號C1REF之位態相同，而信號BSEL之位態，由第7圖可之，基本上與參考信號REF相似，其差別在於，信號BSEL由低位態到高位態的起始時間，不論是記

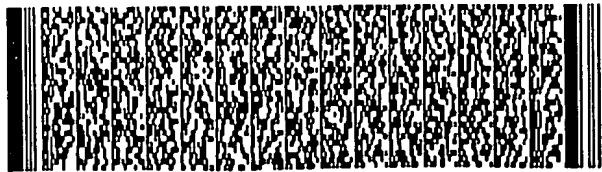


五、發明說明 (11)

是處於VINT之電位，而第7圖之信號MUXt與第6圖之信號MUXt之不同是，在待機狀態時，第7圖之信號MUXt在大部分時間，皆是處於低位態VSS。而與第6圖相同的是，其中只有一小部分時間，當記憶格102之電容在回復(restore)時，MUXt與MUXb之位態會有相對應之變化。其中，當MUXt變成高位態VPP時，相對地，MUXb則成為低位態VSS。

因此，從第7圖可以知道，對於連結錯誤之晶粒，在待機狀態時，信號EQLt與MUXt在大部分時間皆處於低位態VSS。因此，與第6圖相比較，對於正常晶粒，或是習知中之所有晶粒，在待機狀態時，信號EQLt與MUXt在大部分時間並不是處於低位態VSS。因此，對於習知之記憶格，若沒有使用本發明之阻斷漏電流之裝置，對於其中連結錯誤之記憶格，在待機狀態時，會因為漏電流的存在，而損耗大量的電源。若是使用本發明之阻斷漏電流之裝置，對於其中連結錯誤之記憶格，在待機狀態時，如第7圖所示，因為信號EQLt與MUXt在大部分時間皆處於低位態VSS，因此可以阻斷漏電流，而不會消耗電源。

以下，第8圖為一電路示意圖，繪示一記憶體裝置，係依據本發明之一實施例。請參照第8圖，本發明提供一種記憶體裝置800，包括一記憶體陣列802、一電源供應端806、一感應放大器808、一第一阻斷電路812，以及一第二阻斷電路814。其中，記憶體陣列802，具有複數個記憶格804，其中記憶格804，個別具有一第一位元線BL與一第二位元線/BL。電源供應端806，用以提供電源至記憶格



五、發明說明 (10)

憶格102是處於動作狀態或是待機狀態，皆晚於參考信號REF由低位態到高位態的起始時間。因此，當記憶格102為連結錯誤時，第7圖之信號EQLt與第6圖之信號EQLt之差異，在於第7圖之信號EQLt與信號C1REF之位態有關，也就是與信號/CE有關。因此，可以發現，當記憶格102處於動作狀態（信號/CE為低位態）時，信號EQLt是處於高位態，其中一小部分信號EQLt處於低位態的部分，是因為構成記憶格102之電容在一固定時間之後，需要回復（restore）以維持其中之電荷數目。可以發現，在信號EQLt處於低位態之部分，位元線BL與/BL開始做回復（restore）的動作。而當記憶格102處於待機狀態（信號/CE為高位態）時，信號EQLt是處於低位態，其中只有一小部分信號EQLt處於低位態的部分，是因為記憶格102在從事預充電（precharge）的動作。可以發現，在信號EQLt處於高位態之部分之後，位元線BL與/BL開始做回復（restore）的動作。另外，信號EQLb不論是在記憶格102處於待機狀態或是動作狀態時，皆是處於VINT之電位。

請參照第6圖與第7圖。當記憶格102為正常晶粒時，從第6圖中，可以發現，信號MUXt與MUXb在大部分時間，皆是處於VINT之電位。其中只有一小部分時間，當記憶格102之電容在回復（restore）時，MUXt與MUXb之位態會有相對應之變化。其中，當MUXt變成高位態VPP時，相對地，MUXb則成為低位態VSS。然而，當記憶格102為連結錯誤時，從第7圖中，可以發現，信號MUXb在大部分時間，皆



五、發明說明 (12)

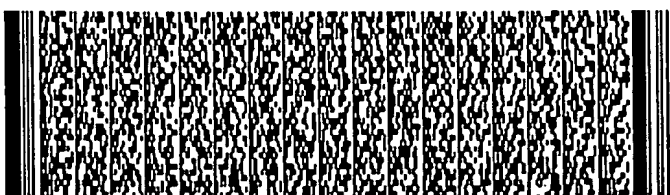
804。第一阻斷電路812，連接於記憶格804之第一位元線BL與電源供應端806之間，以及第二位元線/BL與電源供應端806之間。第二阻斷電路814，連接於記憶格804之第一位元線BL與感應放大器808之間，以及第二位元線/BL與感應放大器808之間。

其中，當記憶格804至少其中之一為連結錯誤(cross fail)並處於一待機狀態時，阻斷連結錯誤之記憶格之第一位元線BL與電源供應端806之間，以及第二位元線/BL與電源供應端806之間之連接。並且阻斷連結錯誤之記憶格之第一位元線BL與感應放大器808與之間，以及第二位元線/BL與感應放大器808之間之連接。

在本發明之一實施例中，在第2圖中，例如說，第一阻斷電路812可以連接於記憶格102之位元線BL、/BL與電源供應端VBLEQ之間，當記憶格102為連結錯誤並處於一待機狀態時，藉由信號EQLt與EQLb，以阻斷其漏電流。較佳的是，第一組斷電路812，可以包括第3圖第4圖與第5圖等之電路。

在本發明之一實施例中，在第2圖中，例如說，第二阻斷電路814可以連接於記憶格102之位元線BL、/BL與感應放大器106之間，當記憶格102為連結錯誤並處於一待機狀態時，藉由信號MUXt與MUXb，以阻斷其漏電流。

在本發明之一實施例中，例如說，記憶格804之字元線WL，可以個別連接到第一阻斷電路812。此外，記憶格804之字元線WL，亦可連接到第二阻斷電路814。



五、發明說明 (13)

在本發明之一實施例中，例如說，第二阻斷電路814可以包含於第一阻斷電路812之中。

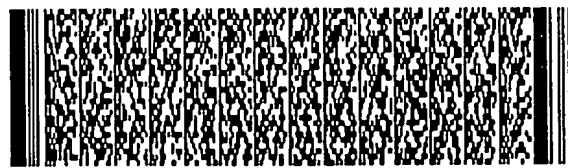
在本發明之一實施例中，記憶體陣列802，例如說，包括一DRAM記憶體陣列。

綜上所述，透過本發明之阻斷漏電流之裝置，例如說，當記憶體陣列中某一記憶格為有缺陷之記憶格時，可以藉由第一阻斷電路與第二阻斷電路，使得電源供應端之電流無法輸入到該記憶格中，達成阻斷漏電流之目的。例如說，在該記憶體陣列為待機狀態時，將所有有缺陷之記憶格之電源輸入關閉，因此可以完全阻斷由有缺陷之記憶格所引起之漏電流，達成阻斷不必要的電源消耗之目的。

以下，在本發明之一實施例中，提出一種阻斷漏電流之方法，用於具有一記憶格陣列之一記憶體裝置中，該方法包括：當一記憶格陣列之一記憶格為連結錯誤(cross fail)並處於一待機狀態時，輸出一第一信號，以阻斷一第一位元線與一電源供應端之間，以及一第二位元線與該電源供應端之間之連接；以及輸出一第二信號，阻斷該第一位元線與一感應放大器之間，以及該第二位元線與該感應放大器之間之連接。

在如上所述之阻斷漏電流之方法中，其中該第一信號，可以受到記憶格之一字元線之一信號控制。此外，該第二信號，亦可受到該記憶格之一字元線之一信號控制。

綜上所述，透過本發明之阻斷漏電流之方法，例如說，當記憶體陣列中某一記憶格為有缺陷之記憶格時，可



五、發明說明 (14)

以藉由第一信號與第二信號，使得電源供應端之電流無法輸入到該記憶格中，達成阻斷漏電流之目的。例如說，在該記憶體陣列為待機狀態時，將所有有缺陷之記憶格之電源輸入關閉，因此可以完全阻斷由有缺陷之記憶格所引起之漏電流，達成阻斷不必要的電源消耗之目的。

綜上所述，上述本發明中之實施例其中之一，係有關於一位元線與字元線因製程缺陷所引起之漏電流之阻斷裝置與方法。然而，本發明並不限於上述之實施例，只要是一記憶體陣列中之有缺陷記憶格，皆可以使用本發明之裝置與方法，以一第一阻斷電路與一第二阻斷電路，或是一第一信號與一第二信號，特定地個別選擇該有缺陷記憶格，並阻斷其漏電流。更佳的是，藉由提供一待機信號，透過該第一阻斷電路與第二阻斷電路，或是第一信號與第二信號，特定地選擇阻斷漏電流之時機。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖為一電路示意圖，繪示傳統DRAM記憶格之電路結構；

第2圖為一電路示意圖，繪示另一傳統DRAM記憶格之電路結構；

第3圖到第5圖為電路示意圖，繪示阻斷漏電流之裝置，係依據本發明之實施例；

第6圖為一波形示意圖，繪示當第2圖中之記憶格為正常運作時之信號之波形，係依據本發明之實施例；

第7圖為一波形示意圖，繪示當第2圖中之記憶格為連結錯誤時之信號之波形，係依據本發明之實施例；

以及

第8圖為一電路示意圖，繪示一記憶體裝置，係依據本發明之一實施例。

圖式標示說明

102：記憶格

302、402、502：電路方塊

304：反向器

306、404：反及開

308、406、506、508：反相器

402：電路方塊

504：反或開

800：記憶體裝置

802：記憶體陣列

804：記憶格



圖式簡單說明

806 : 電源供應端

808 : 感應放大器

812、814 : 阻斷電路

VBLEQ : 電源供應端

EQLt、EQLb、MUXt、MUXb、/CE、C1REF、REF、

FSBSEL、EQBSEL、BSEL : 信號

WLL : 字元線

BL、/BL : 位元線



六、申請專利範圍

1. 一種阻斷漏電流之裝置，用於具有一記憶格陣列之一記憶體裝置中，包括：

一記憶格陣列之一記憶格，具有一第一位元線與一第二位元線；

一第一阻斷電路，連接於該記憶格之該第一位元線與一電源供應端之間，以及該第二位元線與該電源供應端之間，用以當該記憶格為連結錯誤(cross fail)並處於一待機狀態時，阻斷該第一位元線與該電源供應端之間，以及該第二位元線與該電源供應端之間之連接；以及

一第二阻斷電路，連接於該第一位元線與該記憶格之一感應放大器之間，以及該第二位元線與該感應放大器之間，用以當該記憶格為連結錯誤(cross fail)並處於一待機狀態時，阻斷該第一位元線與該感應放大器之間，以及該第二位元線與該感應放大器之間之連接。

2. 如申請專利範圍第1項所述之阻斷漏電流之裝置，其中該記憶格之一字元線，連接到該第一阻斷電路。

3. 如申請專利範圍第1項所述之阻斷漏電流之裝置，其中該記憶格之一字元線，連接到該第二阻斷電路。

4. 如申請專利範圍第1項所述之阻斷漏電流之裝置，其中該第二阻斷電路可以包含於該第一阻斷電路之中。

5. 一種阻斷漏電流之方法，用於具有一記憶格陣列之一記憶體裝置中，該方法包括：

當一記憶格陣列之一記憶格為連結錯誤(cross fail)並處於一待機狀態時，輸出一第一信號，以阻斷一



六、申請專利範圍

第一位元線與一電源供應端之間，以及一第二位元線與該電源供應端之間之連接；以及

輸出一第二信號，阻斷該第一位元線與一感應放大器之間，以及該第二位元線與該感應放大器之間之連接。

6. 如申請專利範圍第5項所述之阻斷漏電流之方法，其中該第一信號，受到該記憶格之一字元線之一信號控制。

7. 如申請專利範圍第5項所述之阻斷漏電流之方法，其中該第二信號，受到該記憶格之一字元線之一信號控制。

8. 一種記憶體裝置，包括：

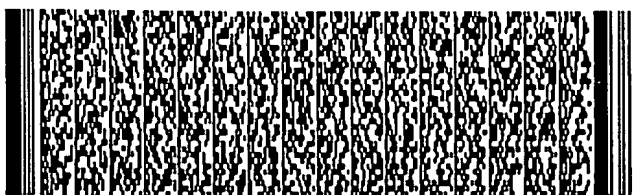
一記憶體陣列，具有複數個記憶格，其中該些記憶格，個別具有一第一位元線與一第二位元線；

一電源供應端，用以提供電源至該些記憶格；

一感應放大器；

一第一阻斷電路，連接於該些記憶格之該些第一位元線與該電源供應端之間，以及該些第二位元線與該電源供應端之間，用以當該些記憶格至少其中之一為連結錯誤(cross fail)並處於一待機狀態時，阻斷該連結錯誤之該記憶格之該第一位元線與該電源供應端之間，以及該第二位元線與該電源供應端之間之連接；以及

一第二阻斷電路，連接於該些記憶格之該些第一位元線與該感應放大器之間，以及該些第二位元線與該感應放大器之間，用以當該些記憶格至少其中之一為連結錯誤



六、申請專利範圍

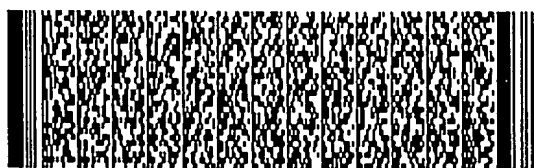
(cross fail)並處於一待機狀態時，阻斷該連結錯誤之該記憶格之該第一位元線與該感應放大器與之間，以及該第二位元線與該感應放大器之間之連接。

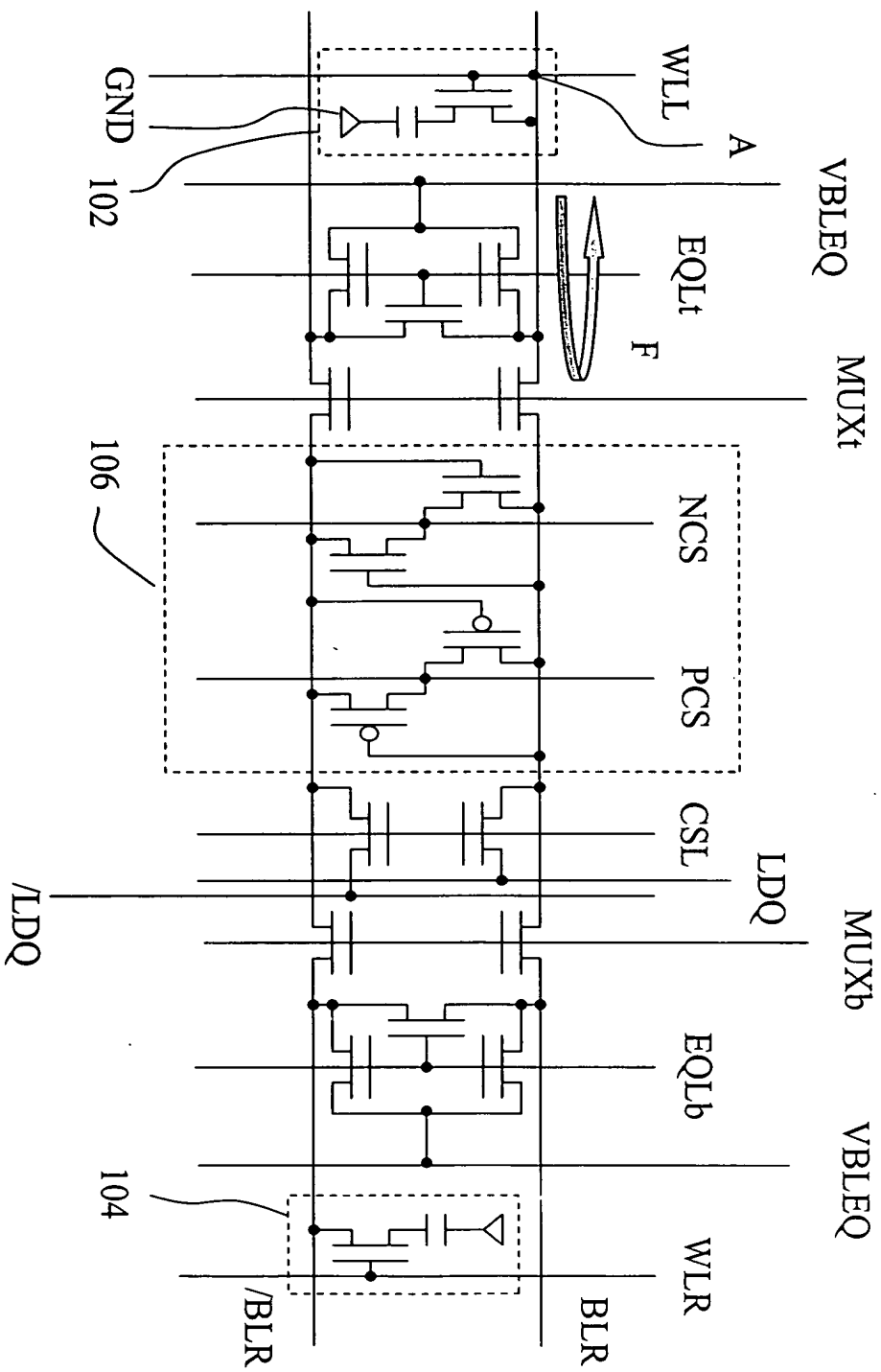
9. 如申請專利範圍第8項所述之記憶體裝置，其中該些記憶格之字元線，個別連接到該第一阻斷電路。

10. 如申請專利範圍第8項所述之記憶體裝置，其中該些記憶格之字元線，個別連接到該第二阻斷電路。

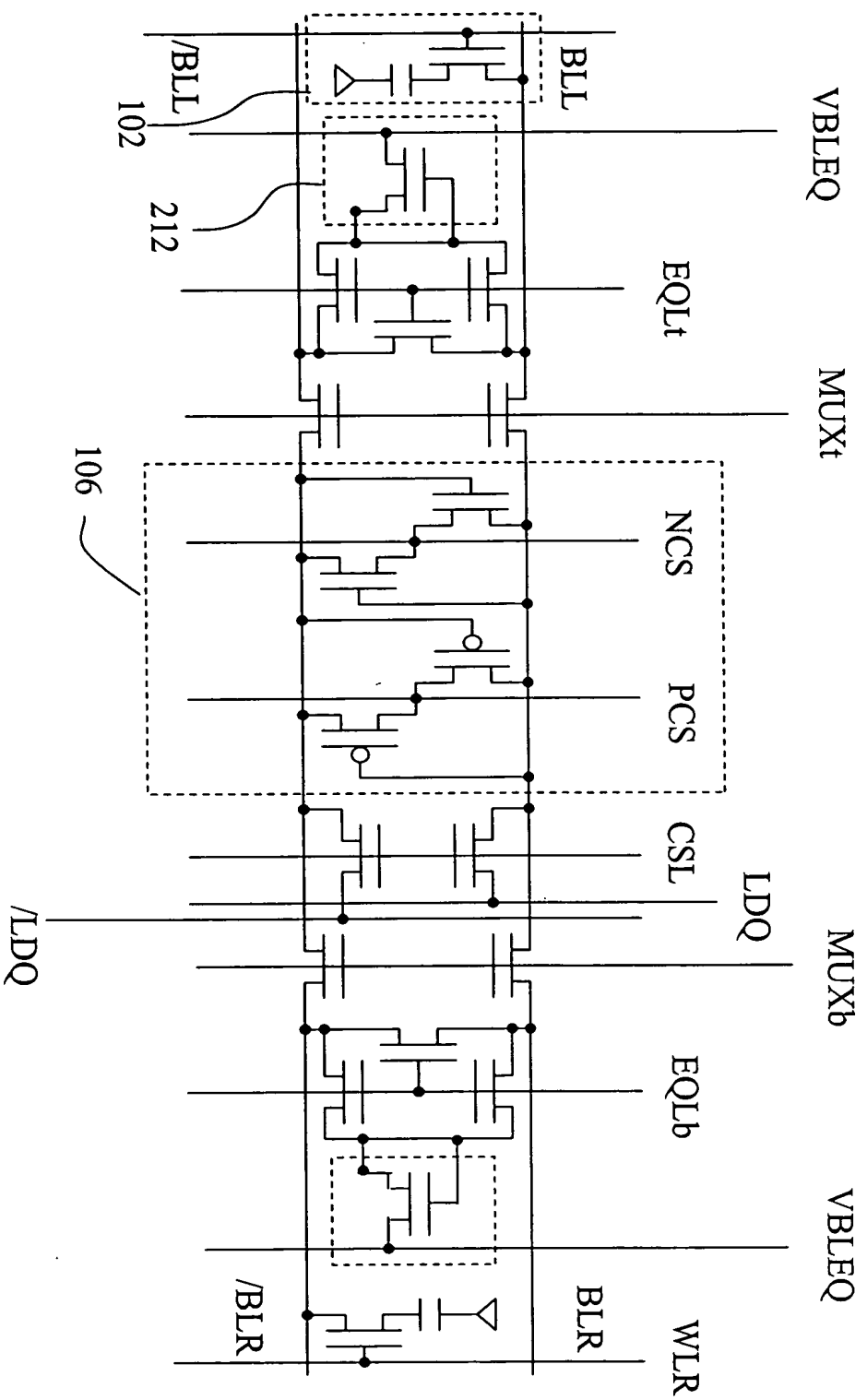
11. 如申請專利範圍第8項所述之記憶體裝置，其中該第二阻斷電路可以包含於該第一阻斷電路之中。

12. 如申請專利範圍第8項所述之記憶體裝置，其中該記憶體陣列，包括一DRAM記憶體陣列。

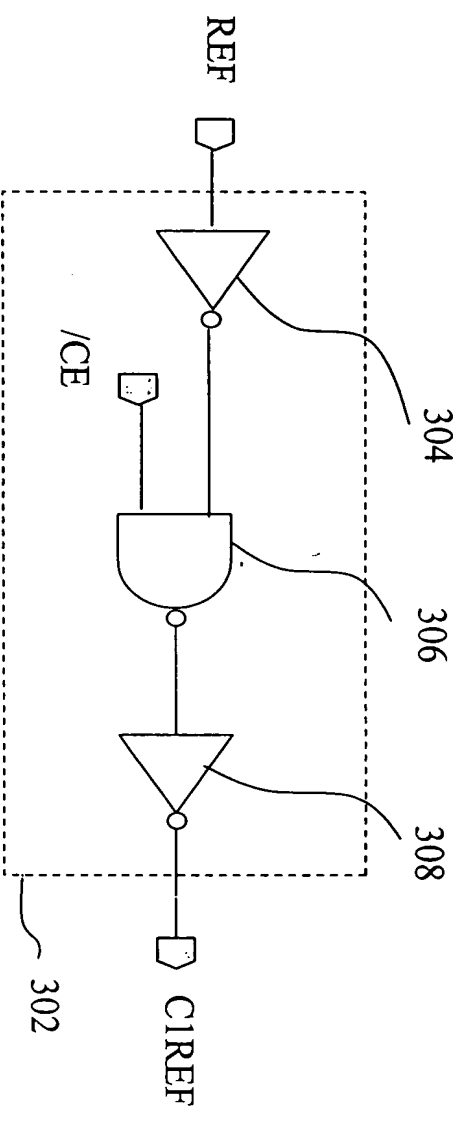




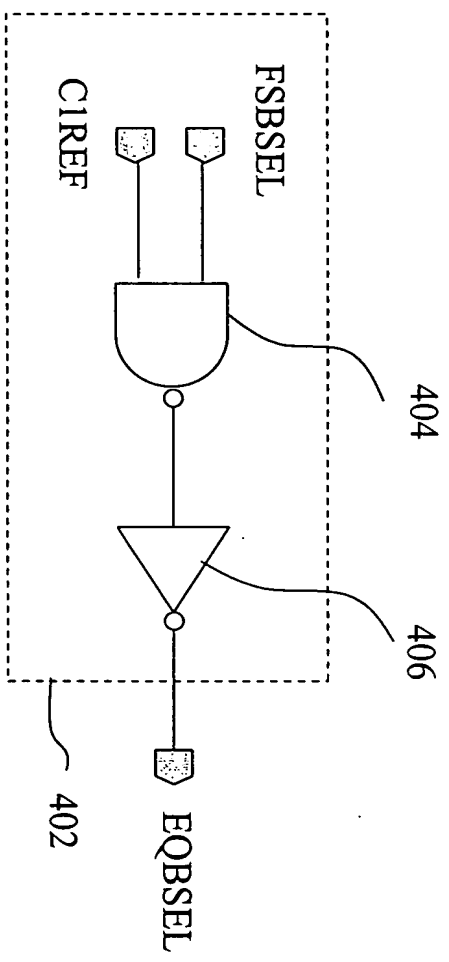
第1圖



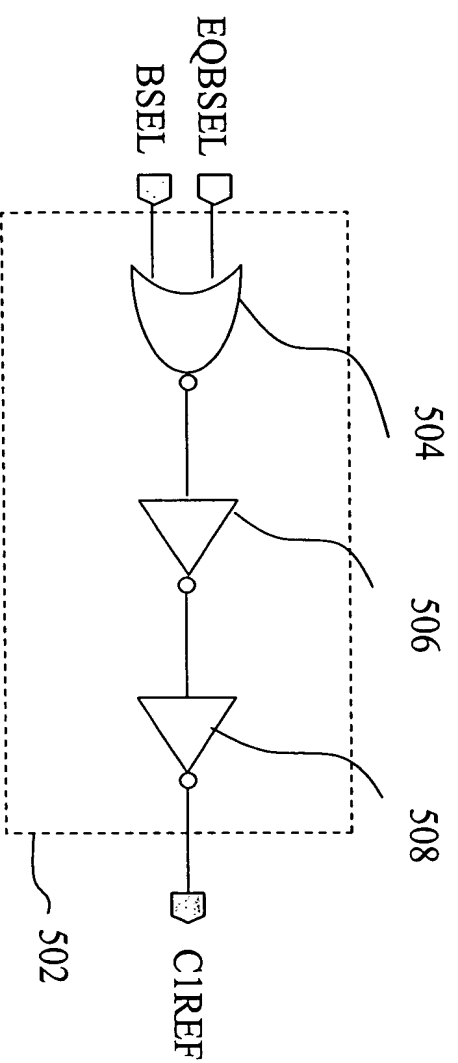
第2圖



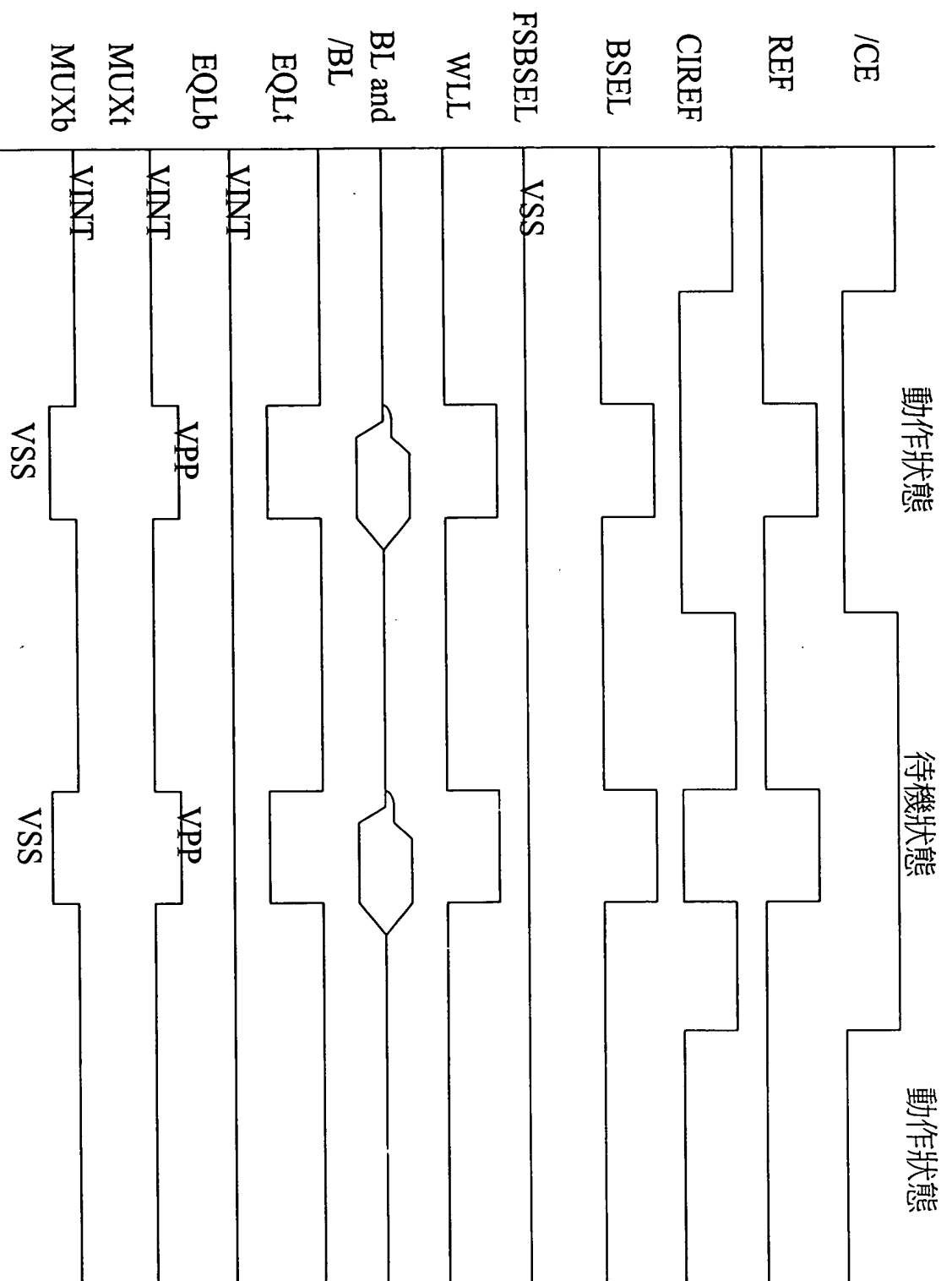
第 3 圖



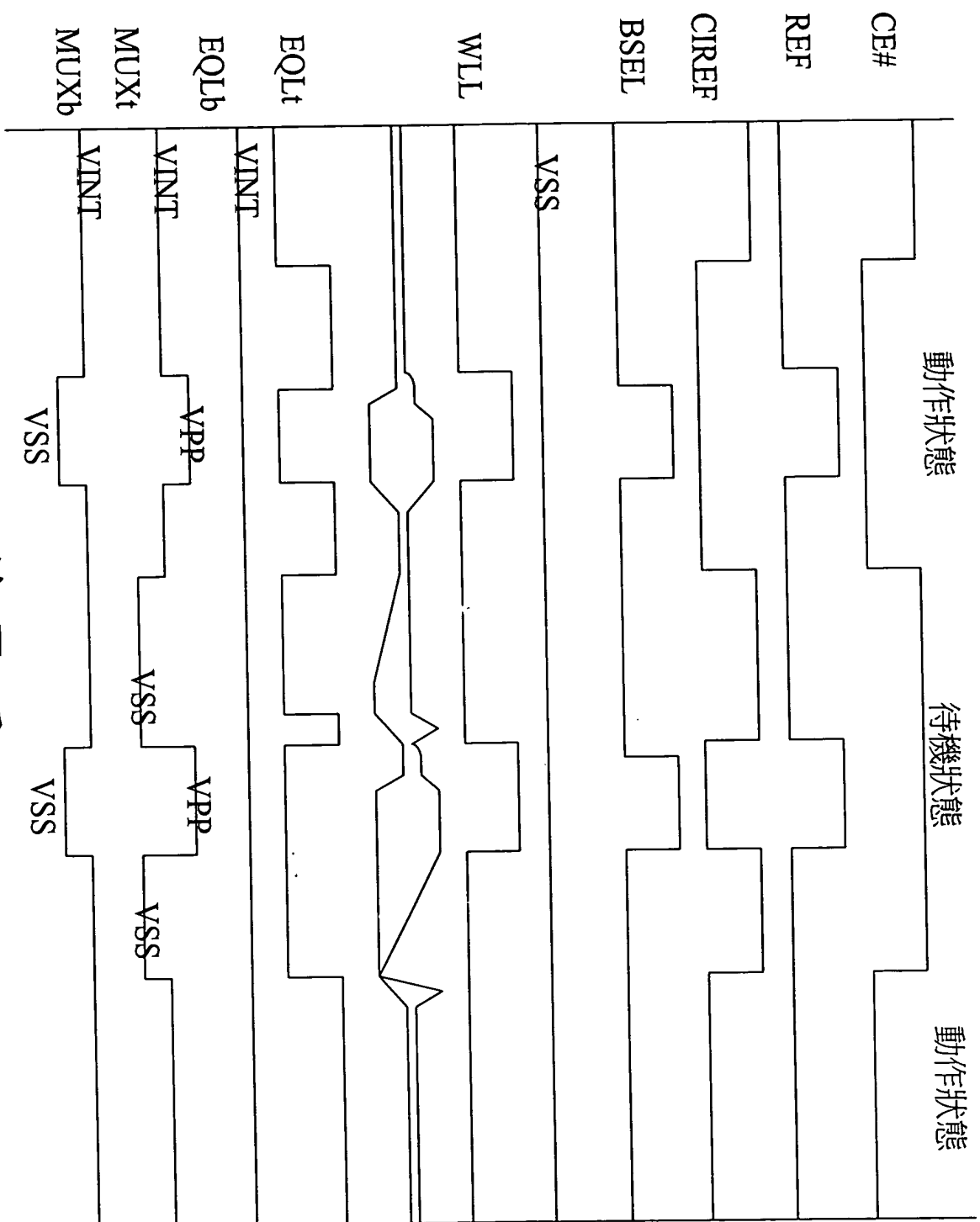
第 4 圖



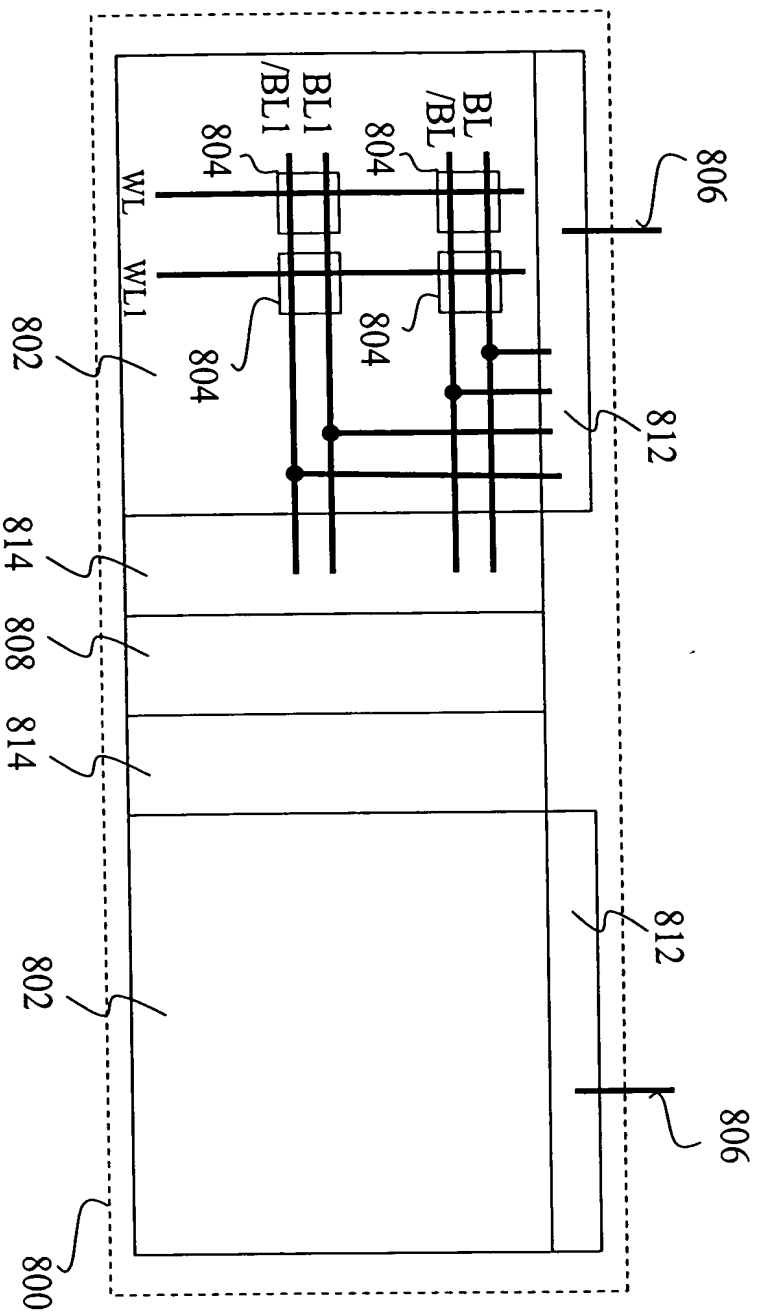
第 5 圖



第 6 圖

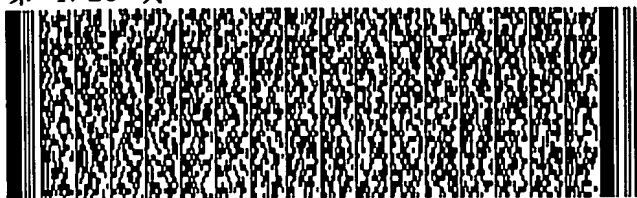


第7圖



第8圖

第 1/23 頁



第 2/23 頁



第 2/23 頁



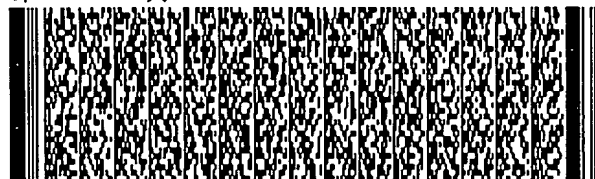
第 3/23 頁



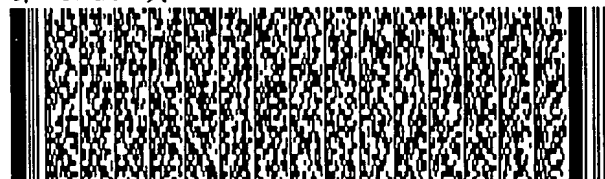
第 4/23 頁



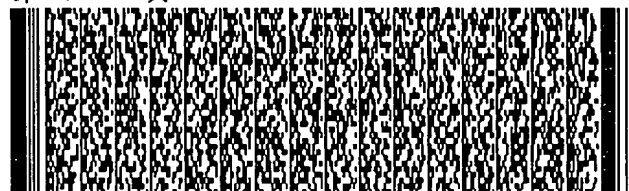
第 5/23 頁



第 5/23 頁



第 6/23 頁



第 6/23 頁



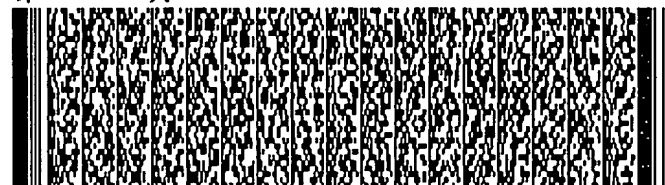
第 7/23 頁



第 7/23 頁



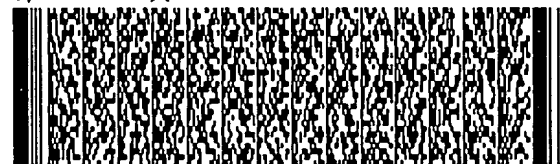
第 8/23 頁



第 9/23 頁



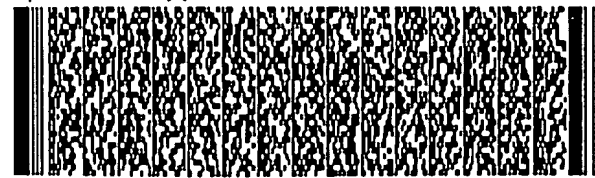
第 9/23 頁



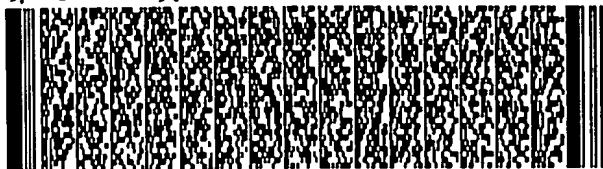
第 10/23 頁



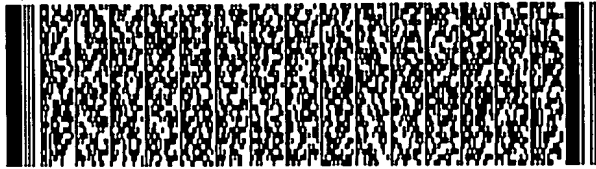
第 10/23 頁



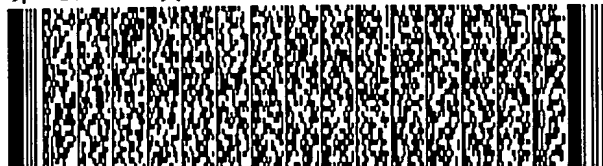
第 11/23 頁



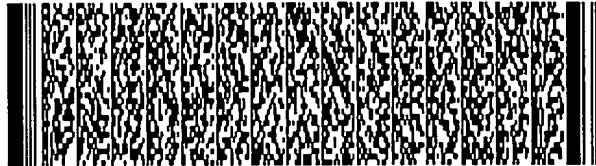
第 11/23 頁



第 12/23 頁



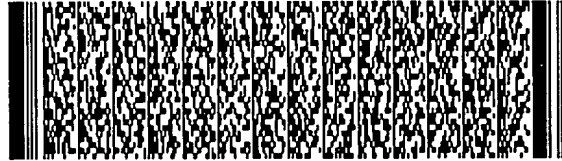
第 12/23 頁



第 13/23 頁



第 13/23 頁



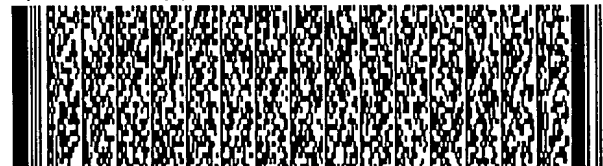
第 14/23 頁



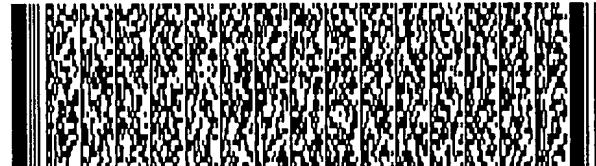
第 14/23 頁



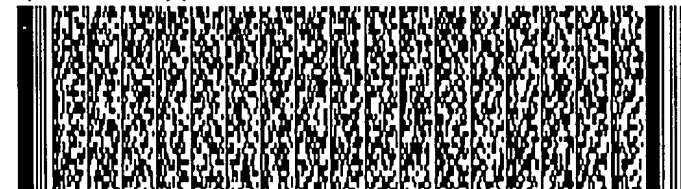
第 15/23 頁



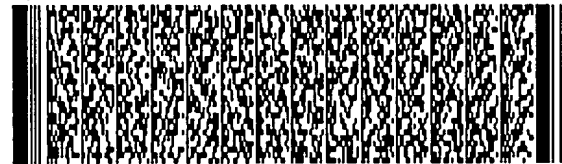
第 15/23 頁



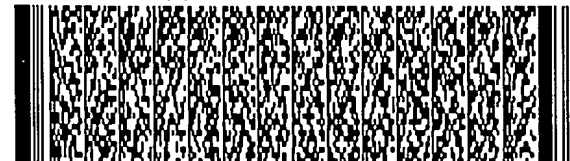
第 16/23 頁



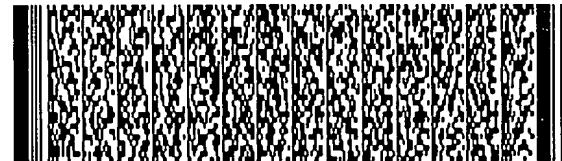
第 17/23 頁



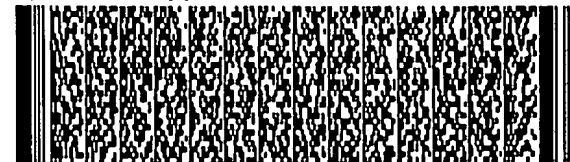
第 17/23 頁



第 18/23 頁



第 18/23 頁



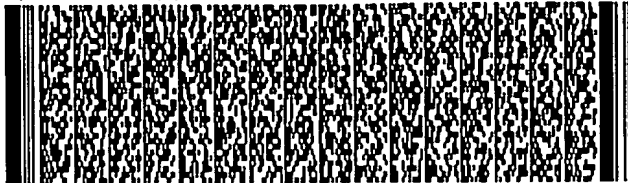
第 19/23 頁



第 20/23 頁



第 21/23 頁



第 22/23 頁



第 23/23 頁

